

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**Clock pulse recovery from input signal - digitises input signal by comparison clock pulse in different phase positions, and correcting comparison pulse frequency**

Patent Number: DE3914249  
Publication date: 1990-12-13  
Inventor(s): RUDOLPH GEORG (DE)  
Applicant(s): RUDOLPH GEORG (DE)  
Requested Patent: ☐ DE3914249  
Application Number: DE19893914249 19890429  
Priority Number(s): DE19893914249 19890429  
IPC Classification: H03L7/06  
EC Classification: H03L7/085  
Equivalents:

---

**Abstract**

---

The recovery is carried out from an input signal with an unknown clock pulse. The input signal is digitised by a comparison clock pulse in various phase positions. From the course of the phase position, i.e. the input signal w.r.t. the comparison clock pulse, the difference between the clock pulse frequency of the input signal and the comparison clock pulse is determined. Then the comparison clock pulse frequency is correspondingly corrected. Pref. the incidence, at which the phase position changes, is evaluated, as well as the interval in which the phase position has again reached a starting value.

USE/ADVANTAGE - For data monitors, with automatic generation of dividing ratio for PLL.

Data supplied from the esp@cenet database - I2

88/1524

B.1

⑬ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑪ **DE 39 14 249 A 1**

⑤① Int. Cl. 5:  
H 03 L 7/06

②① Aktenzeichen: P 39 14 249.3  
②② Anmeldetag: 29. 4. 89  
②③ Offenlegungstag: 13. 12. 90

DE 39 14 249 A 1

⑦① Anmelder:  
Rudolph, Georg, 3000 Hannover, DE

⑦② Erfinder:  
gleich Anmelder

⑤④ Verfahren und Schaltung zur automatischen Taktrückgewinnung

Die Erfindung betrifft ein Verfahren und eine Schaltung, mit dem aus einem Signal, insbesondere einem Signal für einen Datenmonitor, der Takt zurückgewonnen werden kann, mit dem das Signal erzeugt worden ist.  
Die Erfindung beschreibt ein Verfahren und eine Schaltung, mit dem der Originaltakt bzw. das erforderliche Teilverhältnis für die PLL automatisch erzeugt werden kann, sowie eine PLL-Schaltung dazu mit einstellbarer Phasenlage.

DE 39 14 249 A 1

## Beschreibung

Die Erfindung betrifft ein Verfahren und eine Schaltung, mit dem aus einem Signal, insbesondere einem Signal für einen Datenmonitor, der Takt zurückgewonnen werden kann, mit dem das Signal erzeugt worden ist.

Datenmonitore werden üblicherweise so angesteuert, daß die Informationen, die auf einem Bildschirm erscheinen sollen, zeilenweise seriell von einem Steuergerät zu dem Monitor übertragen werden. Dieses Signal enthält zunächst Informationen über den Anfang jeder Zeile und den Anfang des Bildes in Form von Synchronisationssignalen (im folgenden Horizontalimpuls und Vertikalimpuls genannt). Innerhalb der Zeilen bestimmt der Pegel des Signales die Helligkeit und/oder die Farbe des Bildpunktes. Das Signal kann nach den Anteilen getrennt auf mehreren Leitungen oder gemultiplext auf einer Leitung übertragen werden. Dazu werden im Steuergerät die Informationen für die einzelnen Bildpunkte nacheinander mit einer festen Taktfrequenz (im folgenden Originaltakt genannt) zum Monitor übertragen. Nach einer festen Anzahl von Takten wird eine neue Zeile mit dem Übertragen des Horizontalimpulses begonnen. Der Originaltakt wird üblicherweise nicht mit übertragen. In einigen Anwendungen ist es jedoch erforderlich, diesen Originaltakt im Monitor zur Verfügung zu haben.

Dies ist beispielsweise dann erforderlich, wenn das Signal nicht auf einem Monitor mit Kathodenstrahlröhre dargestellt werden soll, sondern auf einem Anzeigerät, das festliegende Bildpunkte besitzt, z. B. auf einem Flüssigkristallbildschirm. Hierbei muß das Signal wieder für die einzelnen Bildpunkte digitalisiert werden. Wird zum Digitalisieren jedoch nicht exakt die gleiche Taktfrequenz verwendet, mit der das Signal auch erzeugt wurde, so ergibt sich der Nachteil, daß das Bild verzerrt erscheint. Zudem muß die Phasenlage des Digitalisierungstaktes eine vorgegebene Differenz zur Phasenlage des Originaltaktes besitzen. An den Stellen, an denen die Phasenlage identisch ist, so daß die Flanken des Signals mit den Flanken des Digitalisierungstaktes zusammenfallen, flimmert das Bild, da das Signal in einem instabilen Zustand abgetastet wird. Dies wird üblicherweise so gelöst, daß mit dem Horizontalimpuls als Referenztakt, mittels einer PLL-Schaltung (Phase Locked Loop) der Digitalisierungstakt erzeugt wird.

Die PLL ist nach dem Stand der Technik so aufgebaut, daß ein spannungsgesteuerter Oszillator (VCO) einen Digitalisierungstakt erzeugt. Durch Teilung dieser Frequenz durch einen gewählten Faktor erzeugt man eine Vergleichsfrequenz bzw. Vergleichsimpulse. Diese Vergleichsimpulse werden nun mit den Horizontalimpulsen des Signals verglichen und deren zeitlicher Unterschied festgestellt. Ist dieser ungleich Null, werden Korrekturimpulse erzeugt, deren Dauer dem festgestellten Unterschied entsprechen. Mit den Korrekturimpulsen wird ein Integrator, der die Steuerspannung für den VCO liefert, weiter aufgeladen oder entladen, je nachdem, welcher der Impulse voreilt. Damit wird eine Frequenz erzeugt, die ein ganzzahliges Vielfaches der Frequenz des Horizontalimpulses (Horizontalfrequenz) entspricht.

Damit dieser erzeugte Takt mit dem Originaltakt übereinstimmt, ist das Teilverhältnis, mit der in der PLL der Vergleichstakt erzeugt wird, exakt auf den Wert einzustellen, der sich aus Originaltaktfrequenz geteilt durch die Horizontalfrequenz ergibt. Das verwendete

Teilverhältnis war nach dem Stand der Technik jedoch fest vorgegeben, manuell aus mehreren Einstellungen wählbar oder einstellbar. Viele Geräte in der EDV sind jedoch so aufgebaut, daß das Bildformat umschaltbar ist und auch von Hersteller zu Hersteller ein unterschiedliches Teilverhältnis von Originaltakt zu Horizontalfrequenz verwendet wird. Daraus ergibt sich die Aufgabe, das Teilverhältnis mit dem in der PLL der Vergleichstakt erzeugt wird, darauf anzupassen.

Die Erfindung beschreibt ein Verfahren und eine Schaltung, mit dem der Originaltakt bzw. das erforderliche Teilverhältnis für die PLL automatisch erzeugt werden kann, sowie eine PLL-Schaltung dazu mit einstellbarer Phasenlage.

Da der zu ermittelnde Takt zu Beginn noch nicht bekannt ist, geht man zunächst von einem Digitalisierungstakt aus, der in der Größenordnung des Originaltaktes liegt. Dies kann beispielsweise ein fester Ausgangswert oder der Takt der vorherigen Einstellung sein. Das zu digitalisierende Signal wird mit diesem Takt in mehreren Phasenlagen digitalisiert. Durch Vergleich der verschiedenphasig digitalisierten Signale wird die örtliche Phasenlage des Signales festgestellt und so der Verlauf der Phasenlagen über die Zeile des Bildes ermittelt. Bereiche der Zeile, in denen keine Information vorhanden ist (d. h. Bereiche, in denen das Signal nicht wechselt), werden dabei gesondert erkannt, da hier keine Phasenlage ermittelt werden kann. In Bereichen, in denen eine Information vorhanden ist, wird der Verlauf der Phasenlagen daraufhin ausgewertet, in welcher Reihenfolge die Phasenlagen durchlaufen werden. Diese Auswertung hat zunächst drei mögliche Zwischenergebnisse: Bleibt die Phasenlage konstant, so ist die Digitalisierungsfrequenz gleich der zu ermittelnden Originalfrequenz. Es ist nur noch erforderlich, evtl. die Phasenlage zu korrigieren. Ändert sich die Phasenlage, so kann dies in zwei Richtungen geschehen. Dabei gibt die Richtung, in der die Phasenlagen durchlaufen werden an, ob die Digitalisierungsfrequenz größer oder kleiner als die Originalfrequenz ist. Die Häufigkeit, mit der in einer Zeile die Phasenlagen durchlaufen werden, gibt ein Maß für den Betrag der Abweichung des verwendeten Teilverhältnisses in der PLL von dem richtigen Teilverhältnis an. Das verwendete Teilverhältnis wird dann um den ermittelten Wert korrigiert, und man erhält das richtige Teilverhältnis. Enthält die Zeile Bereiche, in denen keine Informationen vorhanden sind, so ist die Zahl der ermittelten Durchläufe kleiner als diese Abweichung. Dann kann iterativ vorgegangen werden, indem man zunächst das verwendete Teilverhältnis um diesen Betrag korrigiert und dann das Verfahren erneut beginnt. Statt dessen kann auch der Abstand gemessen werden, in denen die Phasenlage einmal  $360^\circ$  durchläuft. Dies kann dadurch geschehen, daß festgestellt wird, in welchen Abständen der Zeile die Phasenlage wieder mit einem gewählten Anfangswert übereinstimmt. Durch die Teilung der Zeilenlänge durch diesen Abstand ergibt sich der Betrag der Abweichung des Teilverhältnisses der PLL. Aufgrund von Bereichen ohne Information können die gemessenen Abstände ein ganzzahliges Vielfaches der tatsächlichen sein. Dann wird durch Teilung der Zeilenlänge durch diesen Wert und Korrektur des Teilverhältnisses der PLL um dieses Ergebnis zunächst eine Annäherung des Digitalisierungstaktes an die Originaltakte erreicht und dann das Verfahren erneut begonnen. Die erste Näherung kann durch Verwendung des größten gemeinsamen Teilers der gemessenen Abstände noch verbessert werden.

Dies wird sooft wiederholt, bis die Phasenlagen konstant bleiben. Dann wird die Phasenlage des Digitalisierungstaktes so weit verändert, bis die ermittelte Phasenlage einem vorgegebenen Wert entspricht, bei dem der Digitalisierungstakt das Signal in den Momenten abtastet, in denen sich der Pegel für einen Bildpunkt eingeschwenkt hat.

In der Praxis ist das Signal von einem Rauschen oder anderen Störungen überlagert, die zu einem Hin- und Herspringen der Phasenlage des digitalisierten Signales führen. Diese Störungen können eliminiert werden, wenn die Ermittlung der Phasenlage mit einer Hysterese behaftet ist, d. h. eine neue Phasenlage wird erst dann zur weiteren Auswertung verwendet, wenn sich ihr Wert um einen Mindestbetrag von der zuletzt verwendeten Phasenlage unterscheidet.

In einer vereinfachten Ausführung kann auf die Erkennung der Richtung, in der sich die Phase ändert, verzichtet werden. Hierbei wird von einem Digitalisierungstakt ausgegangen, der mit seinem Minimal- oder Maximalwert beginnt und dann so weit verändert wird, bis die erkannte Phasenlage des Signals dazu konstant ist. Auch hier kann durch Auswertung der Häufigkeit, mit der eine Ausgangsphasenlage wieder auftritt, der Betrag der Abweichung ermittelt werden. Damit kann die Einstellung des richtigen Teilfaktors durch einen Sprung um diesen Betrag beschleunigt werden.

Außerdem betrifft die Erfindung eine Schaltung zur Durchführung des Verfahrens, für die im folgenden zwei Ausführungsbeispiele gegeben werden.

Fig. 1 zeigt eine Schaltung, bei der das Signal am Eingang E1 durch drei Verzögerungselemente V1—V3 um  $90^\circ$ ,  $180^\circ$  und  $270^\circ$  phasenverschoben werden. Das unverschobene und die drei dazu phasenverschobenen Signale gelangen in eine erste Auswertestufe A1, in der das Signal mit dem Digitalisierungstakt DT abgetastet wird. Zunächst wird festgestellt, ob im Signal eine Information enthalten ist. Dies ist der Fall, wenn die vier Teilsignale nicht identisch sind, bzw. die Signale in zwei aufeinanderfolgenden Digitalisierungstakten nicht identisch sind. Dann wird durch Vergleich des nicht phasenverschobenen Signals mit den verschobenen des gleichen und vorhergehenden Digitalisierungstaktes festgestellt, welche Phasenlage das Signal zum Digitalisierungstakt besitzt. Ist beispielsweise das um  $90^\circ$  verschobene Signal identisch dem Unverschobenen, das um  $180^\circ$  verschobene jedoch nicht, so liegt die Phasenverschiebung im Bereich  $90^\circ - 180^\circ$ .

Der Wert der Phasenlage und das Vorhandensein einer Information wird einer Hystereseeinheit H2 zugeführt, die den Wert der Phasenlage mit dem am Ausgang dieser Auswertestufe anliegenden Wert vergleicht. Übersteigt die Differenz einen festgelegten Wert, wird der neue Phasenwert an den Ausgang der Auswertestufe gelegt. Dieser Wert liegt an einer weiteren Auswertestufe A2 an, die die Richtung feststellt, in der die Phasenlagen durchlaufen werden. Bei jedem Wechsel der Phasenlage oder Wiedererreichen der Ausgangsphasenlage wird je nach erkannter Richtung ein Impuls über die Leitung I1 oder I2 an eine Zählseinheit Z1 geschickt; der den Zählwert erhöht oder erniedrigt. Der Wert der Zählseinheit kann verwendet werden, um das Teilverhältnis der PLL um diesen Zählwert zu korrigieren. Dazu wird die Zählseinheit am Beginn der Zeile auf Null gesetzt und am Ende der Zeile ausgelesen. Wird die Zählseinheit statt dessen mit dem Anfangswert des PLL-Teilungsverhältnisses geladen, so kann der veränderte Wert in der Zählseinheit direkt das richtige Teilverhältnis

in der PLL angeben. Zur Verminderung von Störeinflüssen kann eine Hysterese auch dadurch erreicht werden, daß eine weitere Zählseinheit Z2 vor Z1 geschaltet wird (Fig. 2). Die Zählseinheit erzeugt nach einer bestimmten Anzahl von Impulsen einen Übertragsimpuls I1' oder I2', je nach Eingangsimpulsen I1 oder I2, wobei die Übertragsimpulse auf die Einheit Z1 führen. Einzelne Störimpulse am Eingang E1 können sich somit nicht unmittelbar auf den Zählwert auswirken.

Ein zweites Ausführungsbeispiel zeigt Fig. 3. Das digitalisierte Signal am Eingang E1 wird durch die Adressier- und Steuereinheit ST1 mit dem Digitalisierungstakt in eine Speichereinheit SP1 geschrieben, in der für jeden digitalisierten Wert eine Speicherstelle zur Verfügung steht. Eine Steuereinheit ST2, die mit einem programmierten Rechen- und Steuerwerk versehen ist, z. B. einem Mikroprozessor, kann ebenfalls auf die Speichereinheit zugreifen und die digitalisierten Werte auslesen. Die Steuereinheit ST2 liest das digitalisierte Signal mehrfach ein, wobei bei jedem Einlesen die Phasenlage des Digitalisierungstaktes über den Phasensteuereingang PHS der PLL verschoben wird. Vorteilhaft ist es, den Digitalisierungstakt jeweils gleichmäßig zu verschieben. Durch Vergleich des digitalisierten Signals bei verschiedener Phasenverschiebung kann die Phasenverschiebung des Signals zum unverschobenen Digitalisierungstakt ermittelt werden und von der Steuereinheit ST2 gemäß dem o. a. Verfahren ausgewertet werden. Die Steuereinheit ST2 beeinflusst dann das Teilverhältnis in der PLL entsprechend der Auswertung über den Steuereingang TS.

Für das Verfahren ist es gleichbedeutend, ob das Signal phasenverschoben wird, oder der Digitalisierungstakt. Im einfachsten Fall verwendet man dazu verzögernde Elemente, beispielsweise RC-Glieder, LC-Glieder oder aktive Schaltungen, die eine bestimmte Durchlaufverzögerungszeit besitzen. Soll die Schaltung jedoch bei verschiedenen Frequenzen des Digitalisierungstaktes eingesetzt werden, sollte sich die Verzögerungszeit der eingesetzten Bauteile proportional zu der Periodendauer des Digitalisierungstaktes ändern. Daher ist es vorteilhaft, statt dessen eine Phasenverschiebung des Digitalisierungstaktes durch eine PLL mit einstellbarer Phasenlage zu bewirken. Fig. 4 zeigt solch eine PLL, die gemäß dem Stand der Technik aus folgenden Teilen aufgebaut ist: Einem VCO V1, der den Digitalisierungstakt DT liefert, einem über TS im Teilverhältnis einstellbaren Teiler T1, der den Vergleichsimpuls VI liefert, einem Phasenkomparator C1 mit den Eingängen für VI und den Horizontalimpuls HI, der die Korrekturimpulse KI1 und KI2 liefert, einer Ladungspumpe P1 mit Widerstand R1 sowie einem Integrator IG1. Um eine einstellbare Phasenverschiebung zu erreichen, wird in der erfindungsgemäßen Ausführung (Fig. 5) ein Korrektursteuerwerk KS1 und eine Korrekturladungspumpe P2 mit Widerstand R2 zu der Schaltung hinzugefügt. Das Korrektursteuerwerk erzeugt einen Korrekturimpuls KI3 mit einer über den Phasensteuereingang PHS einstellbaren Dauer von einem bis zu N Takten des Digitalisierungstaktes. Dabei ist N die Zahl der möglichen Phasenlagen und R2 wird zu ca.  $N \cdot R1$  gewählt. Die Korrekturladungspumpe P2 liefert dann über den Widerstand R2 in M Takten Dauer soviel Ladung an den Integrator, wie die Ladungspumpe P1 in  $M \cdot R1/R2$  Takten, bei beschriebener Auslegung der Widerstände also wie in  $M/N$  Takten. Durch Variation der Korrekturimpulsgröße an KI3 um einen ganzen Digitalisierungstakt wird so der Digitalisierungstakt um den N-ten

Teil einer Taktperiode gegenüber dem Horizontalimpuls, und damit gegenüber dem Signal verschoben. Fig. 6 zeigt den sich ergebenden Impulsverlauf. Dabei ist HI der Horizontalimpuls, VI der Vergleichsimpuls aus dem Teiler der PLL, der aus dem Digitalisierungstakt DT erzeugt wird. Der Integrator befindet sich im Gleichgewicht, wenn der Korrekturimpuls KI1 eine Dauer von  $KI3/N$  besitzt. Das Korrektursteuerwerk besteht im wesentlichen aus einem Zähler, der den Digitalisierungstakt als Taktfrequenz erhält und mit dem Vergleichsimpuls aus dem Teiler der PLL gestartet wird. Als Beispiel ist der Fall für  $N = 16$  mit a)  $M = 10$  und b)  $M = 8$  dargestellt.

#### Patentansprüche

1. Verfahren zur Rückgewinnung aus einem mit einem unbekannten Takt erzeugten Eingangssignal, dadurch gekennzeichnet, daß das Eingangssignal mit einem Vergleichstakt in verschiedenen Phasenlagen digitalisiert wird und aus dem Verlauf der Phasenlage (Eingangssignal zu Vergleichstakt) die Differenz von der Taktfrequenz des Eingangssignals und des Vergleichstaktes ermittelt und die Frequenz des Vergleichstaktes entsprechend korrigiert wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die Häufigkeit, mit der die Phasenlage wechselt, ausgewertet wird.
3. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß der Abstand festgestellt wird, in der die Phasenlage wieder einen Ausgangswert erreicht.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, daß bei verschiedenen gemessenen Abständen der kleinste gemeinsame Teiler der Abstände zur Korrektur verwendet wird.
5. Verfahren nach einem der Ansprüche 1—4, dadurch gekennzeichnet, daß das Verfahren iterativ angewendet wird.
6. Verfahren nach einem der Ansprüche 1—5, dadurch gekennzeichnet, daß nach der Frequenzkorrektur die Phasenlage (Phasendifferenz Takt des Eingangssignales zu Vergleichstakt) auf einen vorgegebenen Wert eingestellt wird.
7. Verfahren nach einem der Ansprüche 1—6, dadurch gekennzeichnet, daß die Auswertung der Phasenlage mit einer Hysterese versehen wird.
8. Verfahren nach einem der Ansprüche 1—7, dadurch gekennzeichnet, daß der Ausgangswert der Frequenz des Vergleichstaktes ein Minimal- oder Maximalwert ist.
9. Verfahren nach einem der Ansprüche 1—8, dadurch gekennzeichnet, daß der Vergleichstakt so lange in seiner Frequenz geändert wird, bis die Phasendifferenz vom Takt des Eingangssignals zum Vergleichstakt konstant ist.
10. Oszillatorschaltung, bestehend aus einer PLL-Schaltung, dadurch gekennzeichnet, daß der Oszillator in seiner Phasenlage einstellbar ist und die Phaseneinstellung durch eine zusätzliche Ladungspumpe erreicht wird, die von einem zusätzlichem Steuerwerk mit variabel langen Impulsen eingeschaltet wird.
11. Oszillatorschaltung nach Anspruch 10, dadurch gekennzeichnet, daß das Steuerwerk zu Steuern der Ladungspumpe aus einem Zähler besteht.
12. Schaltung zur Taktrückgewinnung aus einem

mit einem unbekannten Takt erzeugten Eingangssignal, dadurch gekennzeichnet, daß das Eingangssignal über ein oder mehrere Verzögerungselemente unterschiedlich phasenverschoben wird, in einer ersten Auswertstufe mit dem Digitalisierungstakt digitalisiert und die Phasenverschiebung dazu ermittelt wird, der Wert der ermittelten Phasenlage direkt oder über eine Hysterese-Einheit einer Zähl-einheit zugeführt wird und deren Zählwert zur Korrektur des Digitalisierungstaktes verwendet wird.

13. Schaltung zur Taktrückgewinnung aus einem mit einem unbekannten Takt erzeugten Eingangssignales, dadurch gekennzeichnet, daß das Eingangssignal mittels einer Adressier- und Steuereinheit mehrfach in eine Speichereinheit geschrieben wird, wobei die Phasenlage des Digitalisierungstaktes mittels Oszillatorschaltung gemäß Anspruch 10 oder 11 erzeugt wird und eine zweite Steuereinheit die phasenverschoben digitalisierten Daten ausliest und auswertet.

Hierzu 3 Seite(n) Zeichnungen

Fig. 1

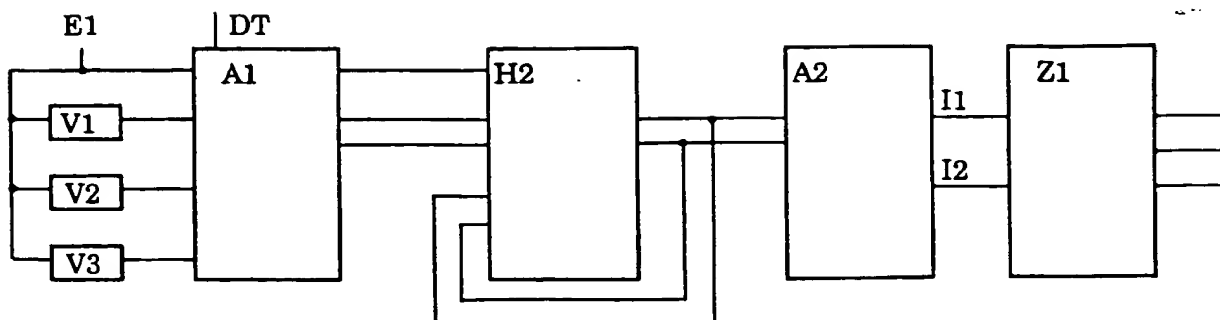


Fig. 2

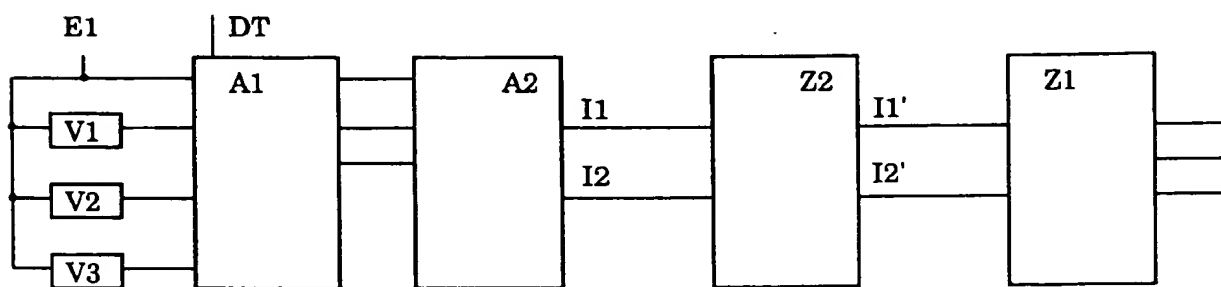
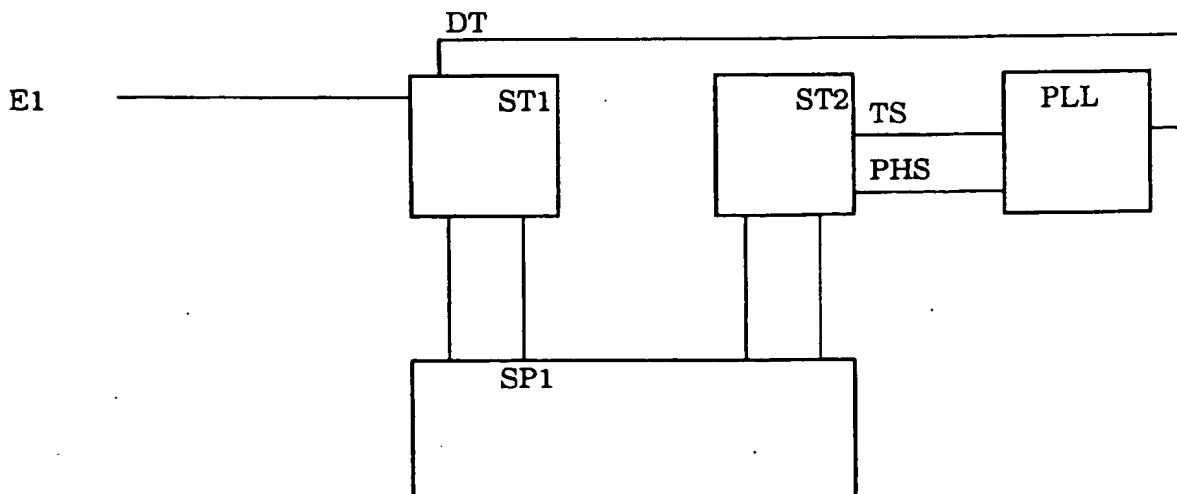


Fig. 3



— Leerseite —



Fig. 4

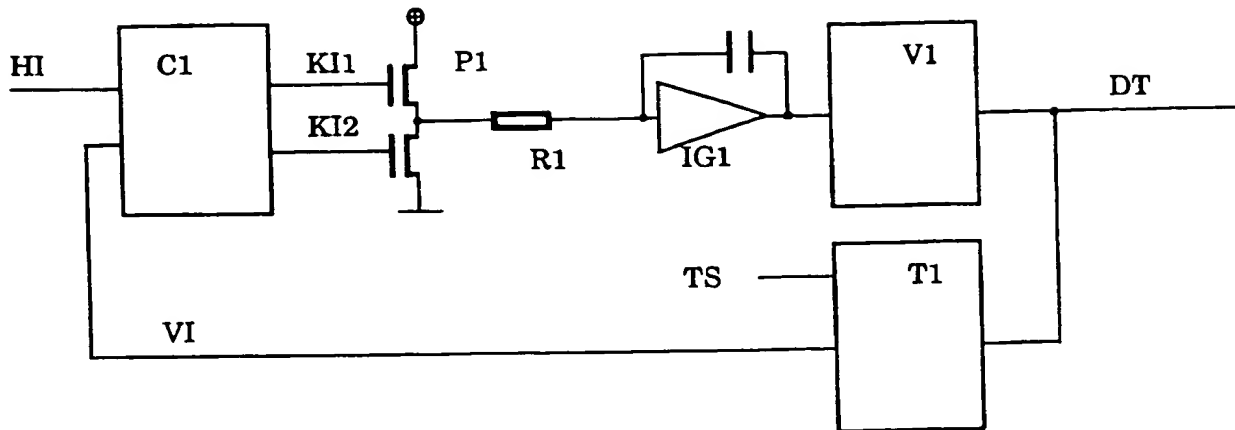


Fig. 5

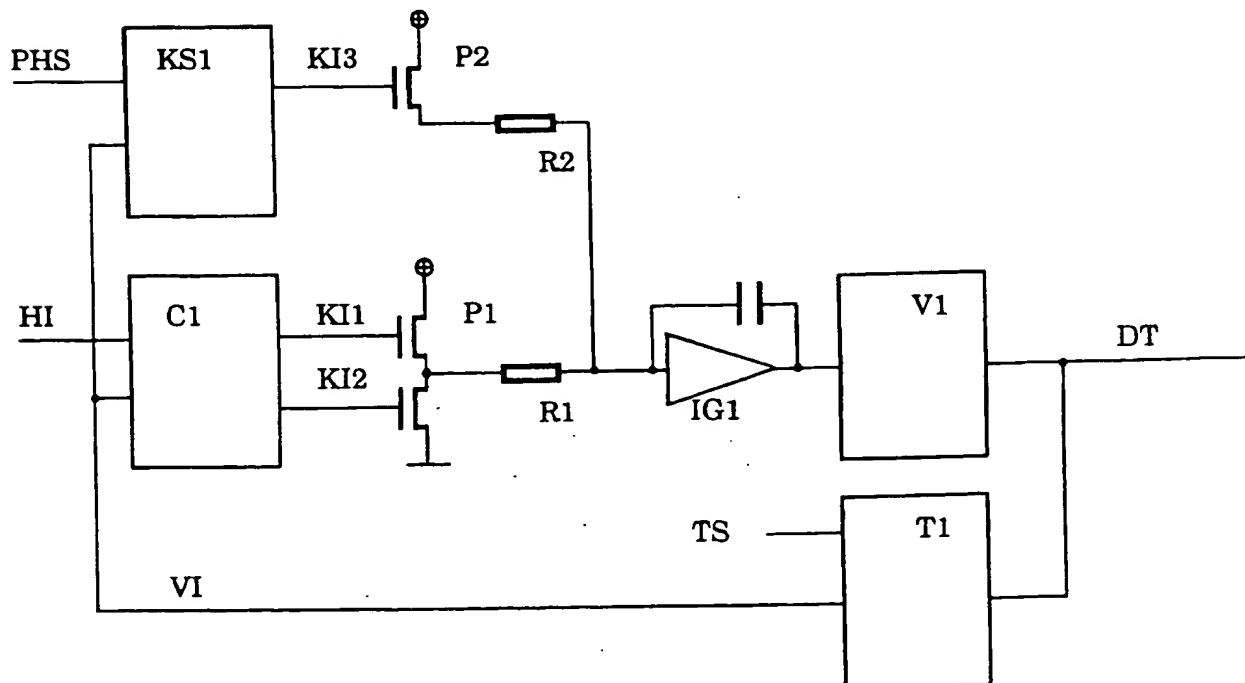


Fig. 6

